

# 16 Mbit SPI串行闪存

## SST25VF016B



SST25VF016B16Mb Serial Peripheral Interface (SPI) flash memory

数据表

### 特点:

- **单电压读写操作**
  - 2.7-3.6V
- **串行接口架构**
  - SPI兼容; 模式0和模式3
- **高速时钟频率**
  - 50 MHz
- **卓越的可靠性**
  - 耐力: 100,000周期(典型值)
  - 大于100年数据保存期
- **低功耗:**
  - 有效的读电流: 10 mA(典型)
  - 待机电流: 5  $\mu$ A(典型)
- **灵活的擦除功能**
  - 一样的 4 K字节部门
  - 一样的 32 K字节块重叠
  - 一样的 64 K字节块重叠
- **快速擦除和字节的程序:**
  - 芯片擦除时间: 35 ms(典型)
  - Sector-/Block-Erase时间: 18 ms(典型)
  - 字节节目时间: 7  $\mu$ s(典型)
- **编程自动地址递增(AAI)**
  - 减少了整个芯片的编程时间
  - 字节编程操作
- **End-of-Write检测**
  - 软件查询中状态BUSY位寄存器
  - 忙碌状态读出的50引脚AAI模式
- **保持引脚(按住#)**
  - 挂起到内存串行序列
  - 该设备没有取消选择
- **写保护(WP#)**
  - 启用/禁用的锁断功能
  - status 寄存器
- **软件写保护**
  - 通过写块保护bits在保护
  - status 寄存器
- **温度范围**
  - 商业: 0° C到+70° C
  - 工业: -40° C到+85° C
- **封装**
  - 8-lead SOIC (200 mils)
  - 8-contact WSON (6mm x 5mm)
- **所有non-Pb(无铅)设备RoHS兼容**

### 产品说明

SST的25系列串行闪存系列具有四线, SPI兼容接口的低引脚数可包装占地较少的电路板空间, 最终降低整体系统成本. 该SST25VF016B设备加强与改进工作频率, 甚至低于原SST25VxxxxA功能设备. SST25VF016B SPI串行闪存的记忆制造的SST专有的高性能CMOS SuperFlash技术. 分体式设计门电池厚氧化层隧道获得更好的可靠性和注射器可制造性与替代方法.

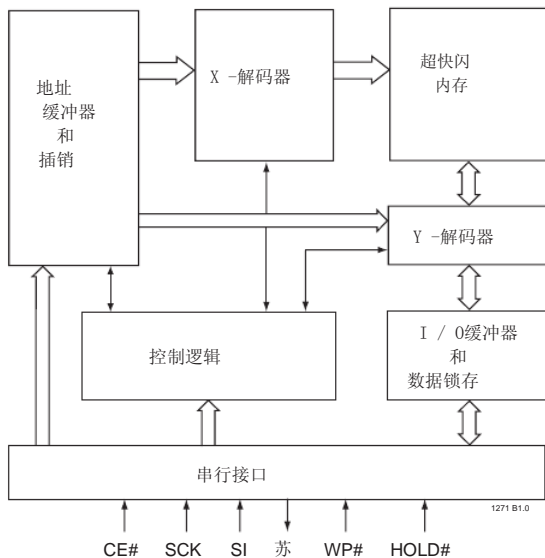
该SST25VF016B设备显着提高perfor - 曼斯和可靠性, 同时降低功耗. 这些器件写(编程或擦除)与单电源供应2.7-3.6V的总能量SST25VF016B. 消费是一种施加电压, 电流, 时间的应用. 因为对于任何给定的电压范围, 扣除流动SuperFlash技术uses方案和有一个较短的擦除时间, 总能量消耗在任何擦除或编程操作是比其他的少闪存技术.

该SST25VF016B器件提供两个8-lead SOIC (200 mils)和8-contact WSON (6mm x 5mm)包. 参见图1引脚分配.



数据表

FUNCTIONAL BLOCK DIAGRAM



引脚说明

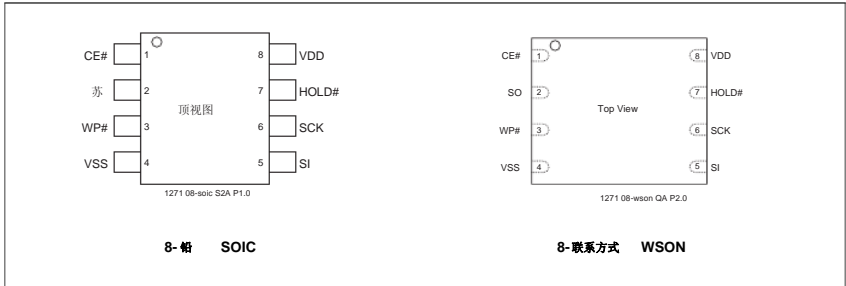


图1: P 中 ASSIGNMENTS

表1: P 中 DESCRIPTION

符号	引脚名称	函数
SCK	串行时钟	为了提供了串行接口的时序。命令，地址，或输入数据锁存时钟输入的上升沿，而输出的数据移出在时钟的下降沿。
SI	串行数据输入	串行传送到设备的命令，地址或数据。
苏	串行数据输出	输入是锁存串行时钟的上升沿。 要传输数据串行移出器件。 数据被移出串行时钟的下降沿。 期间闪存AAI编程输出忙状态时重新配置为RV /由#引脚。 参见“硬件End-of-Write检测”页的说明12上。
CE#	芯片启动	该装置是由一对CE#。启用CE#高向低过渡必须保持低时间序列的任何命令。
WP#	写保护	写保护 (WP#) 引脚用于状态寄存器启用/禁用BPL位。
HOLD#	举行	要暂时停止与SPI 闪存没有复位串行通信设备。
VDD	电源	提供电源电压：2. 7-3. 6V为SST25VF016B
VSS	地面	

T1.0 1271



数据表

### 存储器组织

该SST25VF016B Super闪存阵列orga-  
在一样的 4 K字节可擦除扇区无法识别驱动器与32 K字节  
覆盖块和64 K字节可擦除块覆盖。

### 器件工作

访问的SST25VF016B通过SPI（连载  
外设接口）总线兼容的协议。该SPI 总线  
包括四个控制线：芯片使能（CE#）是用来

选择设备，而数据则通过串行访问  
数据输入（SI），串行数据输出（SO）和串行时钟  
（SCK）。

支持两种模式的SST25VF016B 0（0,0）和模式  
3（1,1）的SPI 总线行动。之间的差异  
两种模式，如图所示2。是SCK状态  
信号时总线主人是在待机模式并没有  
数据正在传输。该SCK信号是低模式0  
和SCK信号是这两种模式的模式3。高，  
串行在（SI）数据进行采样，在SCK上升沿  
时钟信号和串行数据输出（SO）被驱动后  
该SCK时钟信号的下降沿。

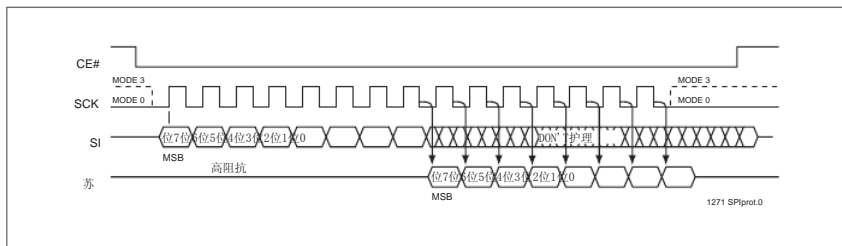


图2: SPI P ROTOCOL

### 保持操作

在按住#引脚用于暂停主管串行序列与SPI 闪存方式无需重置时钟ing序列. 要启动按住#模式, 必须CE#在低电平状态. 该模式下按住#时开始SCK低电平状态恰逢下降沿按住#信号. HOLD模式ends时按住#信号的上升沿恰逢SCK低电平状态.

如果下降沿按住#信号不重合与SCK低电平状态, 然后按住该设备进入下一个模式当SCK达到低电平状态. 同样, 如果按住#信号的上升沿不

配合SCK低电平状态, 则设备在退出保持模式当SCK未来达到活跃低的状态. 见图3存留条件的波形.

一旦设备进入保持模式, 因此将在高阻抗状态, 而SI和SCK可以V

IL OF V<sub>IH</sub>.

如果CE#驱动状态保持在一个活跃的高, 它重置该器件的内部逻辑. 只要按住#信号低, 内存仍然在保持状态. 要恢复与设备通信, 按住#必须被驱动积极高, CE#必须被驱动低电平有效. 见图23存留时间.

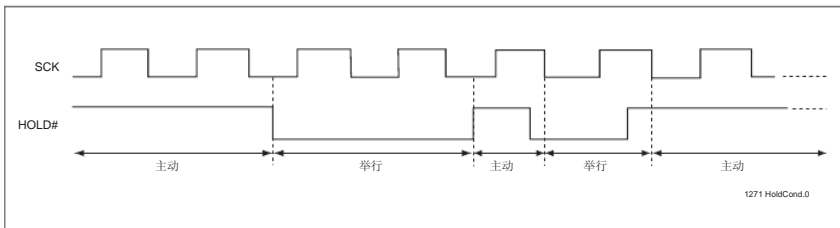


图3: H 考 CONDITION WAVEFORM

### 写保护

SST25VF016B提供软件写保护. 该写保护引脚(WP#)启用或禁用锁式功能状态寄存器. 块的保护bits (BP3, BP2, BP1, BP0, 和BPL)在寄存器亲地位随写保护的存储器阵列和状态寄存器. 见表4的块保护的描述.

#### 写保护引脚(WP#)

写保护(WP#)引脚使锁式function的BPL位 (在状态寄存器 7). 当WP#驱动低, 执行的Write-Status-Register (WRSR) 指令是由值的BPL位 (见表2). 当WP#高, 锁式function位BPL被禁用.

表2: C ONDITIONS要执行 W天威 -STATUS - REGISTER (WRSR) I NSTRUCTION

WP#	BPL	指令执行WRSR
L	1	不允许
L	0	允许
H	X	允许

T2.0 1271



数据表

### 状态寄存器

软件状态寄存器状态是否提供闪存阵列可用于任何读或写操作-振荡性,设备是否可写,而国内内存写保护.在内部擦除或

程序运行后,状态寄存器可能只读到确定一中的操作完成.表3介绍了软件的每个位的功能状态寄存器.

表3: SOFTWARE STATUS REGISTER

位	名称	功能	在默认上电	读/写
0	忙	1 =内部写操作正在进行 0 =没有内部写操作正在进行	0	R
1	WEL	1 =装置是可写存储器 0 =设备未启用内存写入	0	R
2	BP0	说明目前的水平块写保护 (见表4)	1	读/写
3	BP1	说明目前的水平块写保护 (见表4)	1	读/写
4	BP2	说明目前的水平块写保护 (见表4)	1	读/写
5	BP3	说明目前的水平块写保护 (见表4)	0	读/写
6	AAI	编程状态自动地址递增 1 = AAI编程模式 0 =字节编程模式	0	R
7	BPL	1 = BP3, BP2, BP1, BP0是只读bits 0 = BP3, BP2, BP1, BP0读/写	0	读/写

T3.0 1271

### 忙

Busy位确定是否有内部擦除或正在进行的程序操作.为忙位“1”指示设备正在忙于工作正在进行中.阿“0”指示设备是为下一个有效运作做好准备.

### 自动地址递增(AAI)

自动地址增量编程状态位亲志愿组织的状态是否是编程装置AAI模式或字节的程序模式.在开机时默认的气氛字节编程模式.

### 写使能锁存 (WEL)

该Write-Enable-Latch位表示将相互地位nal存储器的写使能锁存.如果Write-Enable-Latch位设置为“1”,它表明该设备是可写.如果位设置为“0”(复位),它表明该设备是不写启用,不接受任何存储器写入(程序/擦除)命令.该Write-Enable-Latch位automati - 新增Cally重置在下列条件:

- 上电
- 写禁用(WRDI)指令完成
- 字节程序指令完成
- 自动地址递增(AAI)编程完成或达到最高未受保护内存地址
- 扇区擦除指令完成
- 块擦除指令完成
- 芯片擦除指令完成
- Write-Status-Register指示



# 16 Mbit SPI串行闪存

## SST25VF016B

数据表

### 块保护 (BP3, BP2, BP1, BP0)

块的保护 (BP3, BP2, BP1, BP0) bits定义大小的内存区域, 如表4, 定义为软对任何内存保护器写入 (程序或删除) 操作. 该Write-Status-Register (WRSR) 指令用于程序BP3, BP2, BP1和BP0 bits只要WP#只要是高或Block-Protect-Lock (BPL) 位0. 芯片擦除只能执行, 如果块保护bits都是0. 上电后, BP3, BP2, BP1和BP0设置为1.

### 块保护锁断 (BPL)

WP#引脚驱动为低 (V<sub>IL</sub>), 使块与保护锁定向下 (BPL) 位. 当BPL设置为1, 它可以防止任何进一步改变了BPL, BP3, BP2, BP1, 和BP0 bits. 当WP#拉高 (V<sub>IH</sub>), 的BPL位无效果和它的值是 “Don't 照顾 “. 上电后, 该BPL 位置复位为0.

表4: S SOFTWARE STATUS REGISTER B 锁 PROTECTION SST25VF016B <sup>1</sup>

防护等级	Status 寄存器位 <sup>2</sup>				受保护的内存地址
	BP3	BP2	BP1	BP0	16 Mbit
无	X	0	0	0	无
上1/32	X	0	0	1	1F0000H-1FFFFFFH
上1/16	X	0	1	0	1E0000H-1FFFFFFH
上1/8	X	0	1	1	1C0000H-1FFFFFFH
上1/4	X	1	0	0	180000H-1FFFFFFH
上1/2	X	1	0	1	100000H-1FFFFFFH
所有块	X	1	1	0	000000H-1FFFFFFH
所有块	X	1	1	1	000000H-1FFFFFFH

T4.0 1271

1. X = Don't 护理 (储备) 默认为 “0”
2. 上电默认为BP2, BP1, 和BP0注册是 ‘111’. (所有块保护)



数据表

说明

指令用于读, 写(擦除和编程), 并配置SST25VF016B. 指令总线周期8 bits每个命令(操作码), 数据和地址. 在此之前执行任何字节程序, 自动地址增量(AAI)编程, 扇区擦除, 块擦除, Write-Status-Register, 或芯片擦除指令系统蒸发散的写使能(WREN)指令必须executed第一. 完整的指令列表中提供表5. 所有的指令都是同步掀起了前高后低过渡期CE#. 将接受输入的上升沿

对SCK首先是最重要的一点. CE#必须低电平输入的指令之前, 必须驱动后的指令的最后一个有点高了移入(除了阅读, Read-ID, 和读地位寄存器说明). 任何低到高的变化对CE#, 前收到总线周期的指令的最后一位. 将终止正在执行的指令, 并返回设备待机模式. 指令命令(操作码), 地址和数据都是从最重要的输入位(MSB)第一.

表5: D EVICE O只好动手术 INSTRUCTIONS

指令	说明	操作码	循环 <sup>1</sup>	地址循环(s) <sup>2</sup>	假的循环(s)	数据循环(s)	最大频率
阅读	读记忆体25 Mhz	0000 0011b (03H)		3	0	1 to ∞	25 Mhz
高速阅读	读记忆体50 Mhz	0000 1011b (0BH)		3	1	1 to ∞	50 Mhz
4 K字节扇区擦除 <sup>3</sup>	K字节的擦除4存储阵列	0010 0000b (20H)		3	0	0	50 Mhz
32 K字节块擦除 <sup>4</sup>	块擦除32 K字节记忆体阵列	0101 0010b (52H)		3	0	0	50 Mhz
64 K字节块擦除 <sup>5</sup>	块擦除64 K字节记忆体阵列	1101 1000b (D8H)		3	0	0	50 Mhz
芯片擦除	删除全部内存阵列	0110 0000b (60H) or 1100 0111b (C7H)		0	0	0	50 Mhz
字节程序	要计划一个数据字节	0000 0010b (02H)		3	0	1	50 Mhz
AAI-Word-Program <sup>6</sup>	自动地址递增编程	1010 1101b (ADH)		3	0	2到 ∞	50 Mhz
RDSR <sup>7</sup>	Read-Status-Register	0000 0101b (05H)		0	0	1 to ∞	50 Mhz
EWSR	Enable-Write-Status-Register	0101 0000b (50H)		0	0	0	50 Mhz
WRSR	Write-Status-Register	0000 0001b (01H)		0	0	1	50 Mhz
WREN	写使能	0000 0110b (06H)		0	0	0	50 Mhz
WRDI	写禁用	0000 0100b (04H)		0	0	0	50 Mhz
RDID <sup>8</sup>	Read-ID	1001 0000b (90H) or 1010 1011b (ABH)		3	0	1 to ∞	50 Mhz
JEDEC的识别码	JEDEC的ID阅读	1001 1111b (9FH)		0	0	3到 ∞	50 Mhz
EBSY	因此, 为了使输出RY / 由#在编程状态AAI	0111 0000b (70H)		0	0	0	50 Mhz
DBSY	所以禁用输出RY / 由#1000 0000b在编程状态AAI	(80H)		0	0	0	50 Mhz

TS.0 1271

1. 一个总线周期为八时钟周期.

2. 上述地址, 每个密度最高位bits可以

IL Or V<sub>IH</sub>.

3. 4KByte块擦除地址: 使用

MS-A12. 剩余的地址是don't的照顾, 但是必须设置V<sub>要</sub>

IL Or V<sub>IH</sub>.

4. 32KByte块擦除地址: 使用

MS-A15. 剩余的地址是don't的照顾, 但是必须设置V<sub>要</sub>

IL Or V<sub>IH</sub>.

5. 64KByte块擦除地址: 使用

MS-A18. 剩余的地址是don't的照顾, 但是必须设置V<sub>要</sub>

IL Or V<sub>IH</sub>.

6. 要继续下一个顺序编程地址位置, 输入8-bit命令, ADH, 其次为字节的数据2

编程. 数据字节0将被编入的初始地址[A

23-A<sub>1</sub>]与A<sub>0</sub>=0. 数据字节1将被编入

初始地址[A

23-A<sub>1</sub>]与A<sub>0</sub>=1.

7. 的Read-Status-Register是与正在进行的时钟周期, 直至终止持续了低到高过渡CE#.

8. 制造商的ID读与A

0=0, 和设备ID是与读

0=1. 所有其他地址bits是00H. 厂家的ID和

设备ID输出流是连续的, 直至被low-to-high过渡终止CE#.





# 16 Mbit SPI串行闪存

## SST25VF016B

数据表

### 阅读 (25 MHz)

读取指令, 03H, 支持高达25 MHz阅读. 该设备输出的数据从指定的起始地址位置. 数据输出流是连续通过所有地址, 直到终止由低到高transition上CE#. 内部地址指针将自动地新增Cally递增, 直到最高的内存地址达成协议. 一旦达到最高的内存地址, 地址指针将自动递增到

开始 (缠绕) 的地址空间. 一旦从地址位置数据1FFFFFFH已被读取, 下一个输出会从地址位置000000H.

读指令启动后, 执行一个8-bit command, 03H, 其次地址bits [A<sub>23</sub>-A<sub>0</sub>]. CE#必须仍然在读周期中低电平有效. 见图4的阅读顺序.

23-A<sub>0</sub>. CE#必须

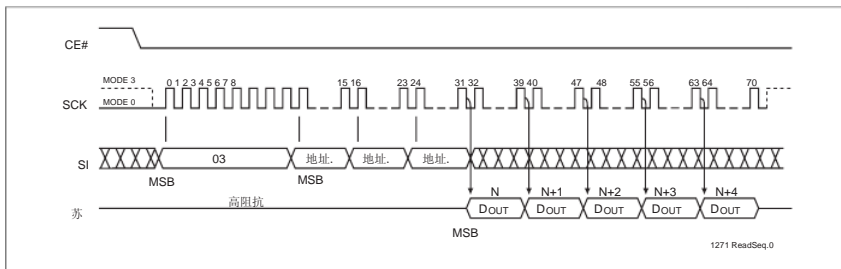


图4: R EAD SEQUENCE



数据表

**High-Speed-Read (50 MHz)**

该High-Speed-Read指令支援高达50 MHz

读是通过执行一个8-bit启动命令, 0BH, 01-按钮, 然后再解决bits [A<sub>23</sub>-A<sub>0</sub>]并插入一个空字节. CE# 必须保持了高速持续时间有源低读周期. 参见图5的High-Speed-Read 序列.

经过虚拟周期, High-Speed-Read指令 产生数据从指定地址开始位置. 数据输出流是连续通过所有

地址, 直到终止由低到高的跳变 CE#. 内部地址指针会自动递增, 直至达到最高的内存地址. 一旦在达到最高的内存地址, 地址指针会自动递增至开始 (结束左右) 的地址空间. 一旦数据从地址位置1FFFFFFH被读取, 输出将是下一个从地址位置000000H.

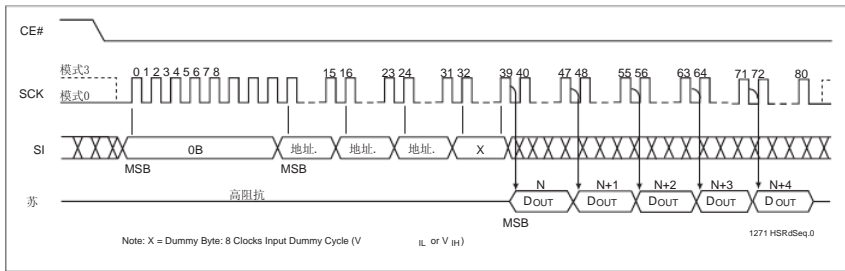


图5: HIGH-SPEED-READ SEQUENCE



# 16 Mbit SPI串行闪存 SST25VF016B

数据表

## 字节程序

字节程序指令计划在bits  
选择所需的数据字节。选定的字节必须在擦除状态 (FFH) 是当一个程序启动  
运作。一个字节程序指令应用到受  
tected内存区域会被忽略。

在此之前的任何写操作，写使能 (WREN)  
指令必须执行。CE#必须保持低电平  
在这项字节程序指令的时间。的字节

程序指令启动后，执行一个8-bit com-  
mand, 02H, 其次地址bits [A<sub>23</sub>-A<sub>0</sub>]. 继  
地址，数据输入从MSB (位7) 以LSB  
(位0)。CE#必须被驱动为高电平的指令之前  
执行。用户可以在软件中轮询有点忙  
状态寄存器或等待T<sub>BP</sub> 对于内部完成  
自定时字节的程序操作。参见图6  
字节程序序列。

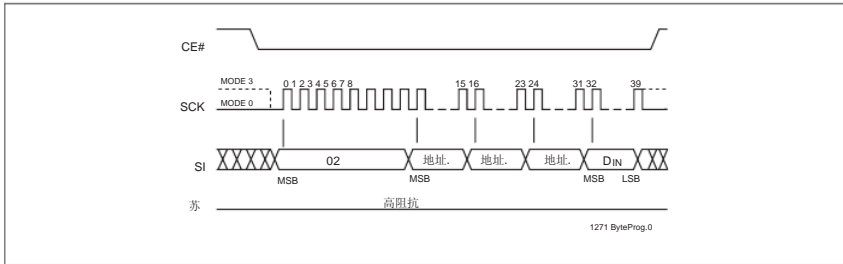


图6: B YTE -P PROGRAM SEQUENCE



数据表

**自动地址递增 (AAI) Word 的程序**

该AAI程序指令允许多个字节的数据进行编程, 而无需重新发出下一个顺序地址位置. 此功能可以减少总方案编程时多个字节或整个存储器阵列是进行编程. 一个AAI指向Word程序指令受保护的内存区域会被忽略. 选定地址范围必须在擦除状态时 (FFH) initiating—AAI Word程序操作. 尽管在AAI字编程序列, 唯一有效的说明是AAI字 (ADH), RDSR (05H), 或WRDI (04H). 用户有三种选择, 以确定每个完成 AAI Word程序周期: 硬件读数检测串行输出, 通过查询软件检测忙位在软件状态寄存器或等待T其中, 写检测的细节部分.

BP, 参阅尾,

在此之前任何写操作, 写使能 (WREN) 指令必须执行. Word程序的AAI 教学过程是由执行一个8-bit命令, ADH, 其次地址bits [A<sub>23</sub>:A<sub>0</sub>]. 继地址, 两个字节的数据输入顺序, 每一个从MSB (比特7) 至LSB (0), 数据的第一个字节 (00) 位将被输入的起始地址 [A<sub>23</sub>:A<sub>1</sub>] 与 A<sub>0</sub>=0, (D1) 的第二个字节的数据将被编程到初始地址 [A<sub>23</sub>:A<sub>1</sub>] 与 A<sub>0</sub>=1. CE# 必须驱动为高电平前AAI Word程序指令 executed. 用户必须检查进入前忙位ting下一个有效的命令. 一旦设备指示它是不再忙碌, 数据在未来两个连续的地址可以编程等. 当最后的希望字节已输入, 检查忙碌状态使用硬件方法或RDSR指令并执行写禁用 (WRDI) 指令, 04H, 终止AAI. 用户必须检查后WRDI忙状态, 以确定是否设备是任何命令准备. 见图9和10为 AAI字编程序列.

期间没有AAI编程换行模式, 一旦未受保护的内存地址是最高达到, 设备将退出AAI操作和复位写使能, 锁存位 (WEL = 0) 和AAI位 (AAI=0).

**End-of-Write检测**

有三种方法来确定一个亲完成, 克周期在AAI字编程, 硬件检测读数串行输出, 软件检测通过查询, 在软件状态寄存器或BUSY位等待T BP. 在硬件end-of-write检测方法下面一节中所述.

**Hardware End-of-Write Detection**

在硬件检测方法消除了end-of-write 投票开销在软件状态有点忙. 寄存器期间AAI Word程序操作. 该8-bit 命令, 70H, 配置串行输出 (SO) 引脚表明在AAI字编程闪存Busy状态. (见7)图的8-bit命令, 必须执行70H, 之前, 执行一个AAI Word的程序指令. 一旦内部编程操作开始时, 声称CE# 将立即推动内部闪存的状态状态通过SO引脚. 阿“0”表示设备正忙和“1”指示设备是为下一条指令做好准备. De-主张CE#将返回SO引脚为三态.

该8-bit命令, 80H, 禁用串行输出 (SO) 忙状态输出引脚在AAI-Word-program歌剧tion并返回SO引脚输出软件现状寄存器数据在AAI字编程. (见图8)

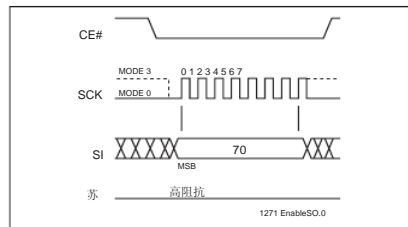


图7: B **NABLE 苏 作为 HARDWARE RY/BY# 期间 AAI P AGC软件**

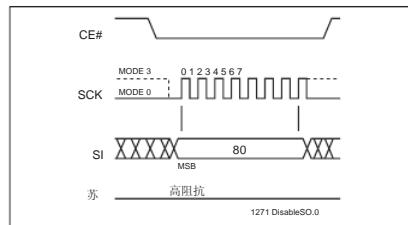


图8: D **ISABLE 苏 作为 HARDWARE RY/BY# 期间 AAI P AGC软件**

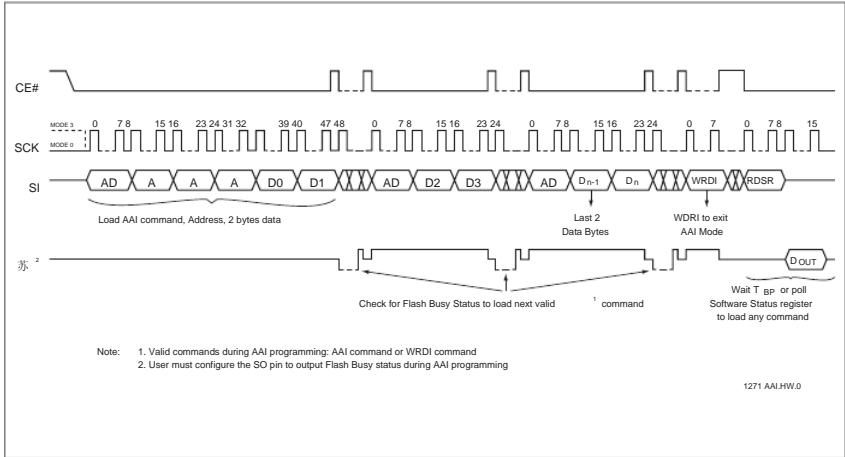


图9:阿 UTO ADDRESS INCREMENT (AAI) W ORD-P PROGRAM S EQUENCE带  
HARDWARE END-作着W天威 DETECTION

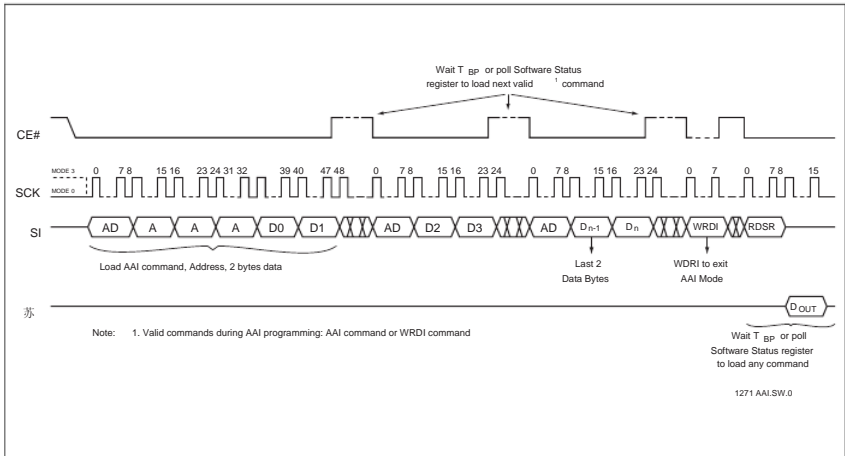


图10:阿 UTO ADDRESS INCREMENT (AAI) W ORD-P PROGRAM S EQUENCE带  
SOFTWARE END-作着W天威 DETECTION



数据表

#### 4-KByte扇区擦除

该部门擦除指令清除所有选定bits 4 K字节部门JFFH. 一个扇区的擦除指令适用于受保护的内存区域会被忽略. 在此之前任何写操作时, 写使能 (WREN) 指令必须执行. CE#必须保持低电平的持续时间任何命令序列. 该部门擦除指令通过执行一个8-bit命令启动, 20H, 其次地址bits [A<sub>23</sub>-A<sub>0</sub>]. 地址bits [A<sub>MS</sub>-A<sub>12</sub>] (A<sub>MS</sub> = Mute

重大地址) 来确定该部门地址 (SA<sub>MS</sub>-A<sub>12</sub>). 其余地址bits可以V CE#必须被驱动为高电平的指令之前执行. 用户可以WW N在软件状态寄存器忙位轮询ter或等待T<sub>SE</sub>为完成内部自定时扇区擦除周期. 见图11该部门擦除序列.

IL or V IH.

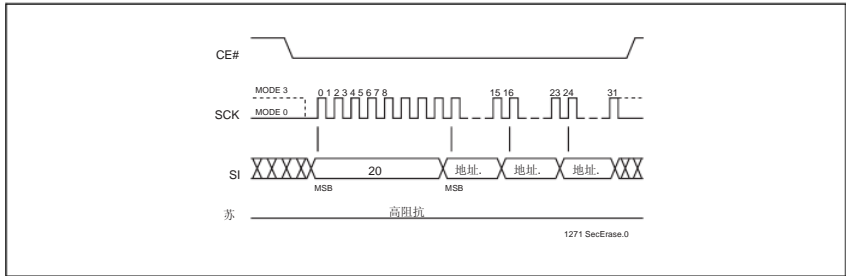


图11: S 厄克托 -ERASE S EQUENCE



# 16 Mbit SPI串行闪存 SST25VF016B

数据表

## 32-KByte和64-KByte块擦除

该32-KByte块擦除指令清除所有的bits

选择32 K字节块FFH. 一个块擦除指令

适用于受保护的内存区域会被忽略. 该

64-KByte块擦除指令清除所有的bits

选择64 K字节块FFH. 一个块擦除指令

适用于受保护的内存区域会被忽略. 在此之前

任何写操作, 写使能 (WREN) 指令

必须执行. CE#必须保持为低电平

时间序列的任何命令. 该32-Kbyte块

ERASE指令启动后, 执行一个8-bit com-

mand, 52H, 其次地址bits [A

[A<sub>MS</sub>-A<sub>15</sub>] (A<sub>MS</sub> =最密切地址) 用来

23~A<sub>0</sub>]. 地址bits

确定块地址(BA<sub>MS</sub>~BA<sub>0</sub>), 其余地址bits可以

被V<sub>IL</sub> or V<sub>IH</sub>. CE#必须被驱动为高电平的指令之前

被执行. 该64-Kbyte块擦除指令源创力Initi -

通过执行命令ated 8-bit D8H, 其次

地址bits [A<sub>23</sub>-A<sub>0</sub>]. 地址bits [A<sub>MS</sub>-A<sub>15</sub>]用于

确定块地址(BA<sub>MS</sub>~BA<sub>0</sub>), 其余地址bits可以

被V<sub>IL</sub> or V<sub>IH</sub>. CE#必须被驱动为高电平的指令之前

被执行. 用户可以在软件中查询有点忙

状态寄存器或等待T<sub>CE</sub>是对于内部完成

自定时32-KByte块擦除或64-KByte块擦除

周期. 见图12和13为32-KByte块

擦除和64-KByte块擦除序列.

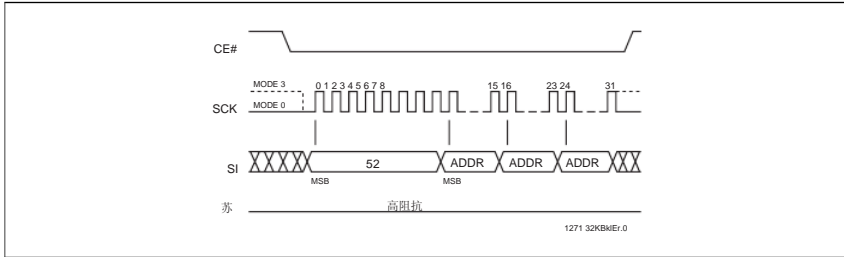


图12: 32-KByte 块擦除序列

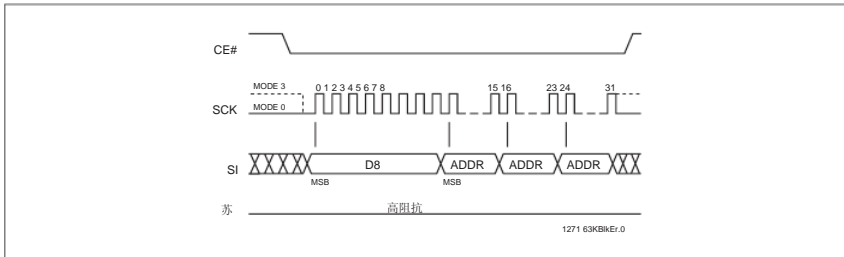


图13: 64-KByte 块擦除序列



数据表

**芯片擦除**

该芯片擦除指令清除设备中所有bits到FFH。一种芯片擦除指令将被忽略，如果任何内存区域的保护。在此之前的任何写操作，写使能（WREN）指令必须执行。CE#必须保持芯片的擦除时间低电平指令序列。该芯片擦除指令启动

通过执行一个8-bit命令，60H或C7H。CE#必须驱动高指令执行前。用户可以轮询在软件状态寄存器忙位或等待T对于自定时内部芯片擦除完成循环。见的芯片擦除序列图14。

CE

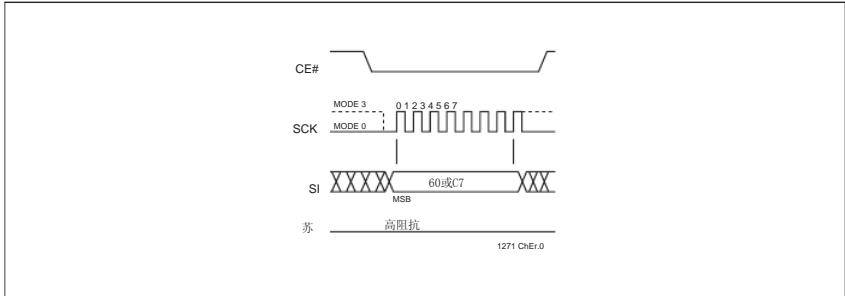


图14: C 擦除序列 (ERASE SEQUENCE)

**Read-Status-Register (RDSR)**

该Read-Status-Register (RDSR) 指令允许读取状态寄存器。状态寄存器可阅读即使是在任何时间写（编程/擦除）操作。当一个写操作正在进行中，可能会有点忙检查前发出任何新的命令，以确保新的命令是正确接收的设备。

CE#必须驱动为低电平之前RDSR指令进入并保持低电平，直到状态数据被读取。读状态寄存器是与正在进行的时钟周期持续直到它被终止由低到高的跳变的CE#。见的15指令序列图RDSR。

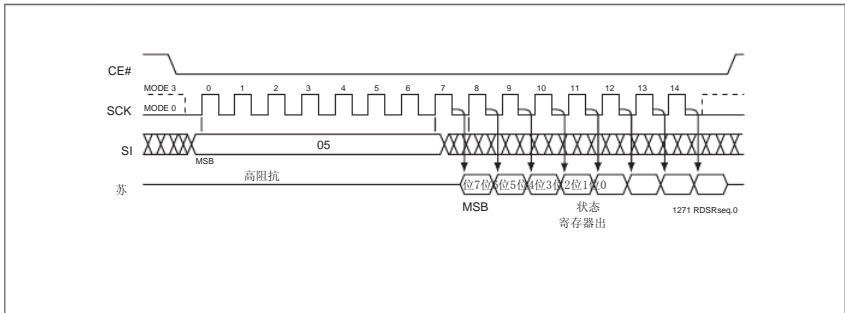


图15: R 读状态寄存器 (RDSR) 序列 (RDSR SEQUENCE)



# 16 Mbit SPI串行闪存 SST25VF016B

数据表

## 写使能 (WREN)

写使能 (WREN) 指令sets的写启用-锁存状态寄存器位1允许写入操作发生. 当WREN指令必须executed之前, 任何写 (编程/擦除) 操作. 该WREN指令也可用于允许执行

在Write-Status-Register (WRSR) 指令, 但是, 在状态寄存器 Write-Enable-Latch位将被清理后的CE#指令上升沿WRSR. CE#必须被驱动为高电平指令之前将WREN执行.

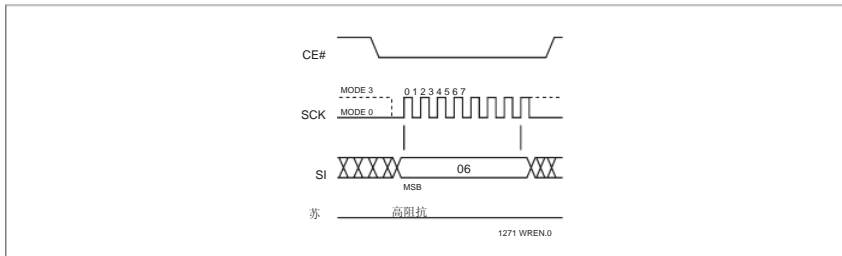


图16: W 天感 ENABLE (WREN位置)SEQUENCE

## 写禁用 (WRDI)

该写禁用 (WRDI) 指令复位写启用锁存位和AAI位0禁用任何新的写行动的发生. 该指令将不会WRDI

终止正在进行的任何编程操作. 任何亲克中的操作可能会持续到执行WRDI指令. CE#必须被驱动为高电平前WRDI指令执行.

BP 后

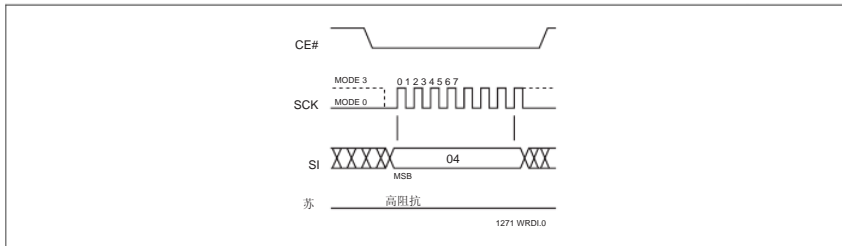


图17: W 天感 DISABLE (WRDI) S EQUENCE

## Enable-Write-Status-Register (EWSR)

指令的Enable-Write-Status-Register (EWSR) 武器Write-Status-Register (WRSR) 指令和打开状态寄存器变更. 该写地位寄存器必须执行的指令后, 立即Enable-Write-Status-Register指令执行情况. 这两个指令的EWSR步指令序列

tion其次是像WRSR (SDP指令工程软数据保护器) 命令结构, 防止任何寄存器值状态意外的变化. CE#驱动力必须是前EWSR低输入指令而且必须被驱动指令之前EWSR高点执行.



数据表

**Write-Status-Register (WRSR)**

该Write-Status-Register指令写新值在BP3, BP2, BP1, BP0, 和BPL bits状态寄存器ter. CE#必须驱动为低电平之前命令

WRSR指令序列的输入和驱动高前WRSR指令执行. 见图18为EWSR或WREN和WRSR指令序列.

执行指令将Write-Status-Register时忽略WP#低, BPL位设置为“1”. 当该WP#低, BPL位只能从“0”设置为“1”到锁定状态下寄存器, 但不能从“1”复位

到“0”. 当WP#高, 锁定式功能的BPL位残疾人BPL, BP0, 和BP1和BP2在状态寄存器 bits都可以更改. 只要BPL位为0或WP#拉高(V<sub>low-to-high</sub>转型期CE#针在年底WRSR指令, 在状态bits 寄存器都可以改变由WRSR指令. 在这种情况下, 一个WRSR指令可以设置BPL位“1” 锁定状态寄存器以及改变BP0, BP1, 和BP2 bits在同一时间. 见表2为摘要说明WP#和BPL功能.

114) 前

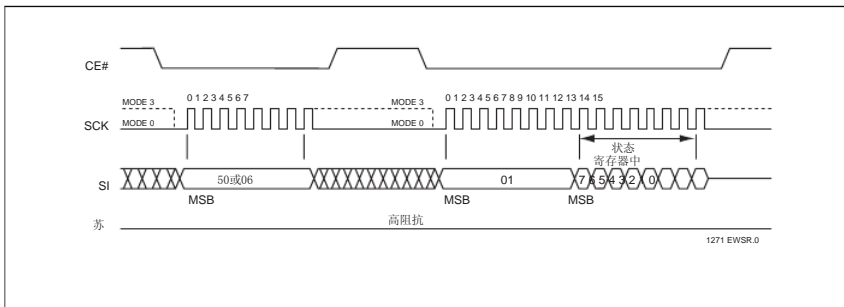


图18: E WRSR 或 WRSR 指令序列



# 16 Mbit SPI串行闪存 SST25VF016B

数据表

## JEDEC的Read-ID

JEDEC的Read-ID指令识别装置，如SST25VF016B和设备制造商为SST。信息可以读取执行8-bit命令，9FH。继JEDEC的Read-ID指令，8-bit制造商的ID，BFH，从设备输出。后这，是一个16-bit设备ID SO引脚上转移出来。字节1，BFH，标识为SST。字节2，25H，iden-制造商tifies作为SPI串行闪存类型。字节3，41H，标识为SST25VF016B。设备指令

序列图19。JEDEC的读取ID指令终止由低到高跳变CE#在数据输出在任何时间。如果没有其他命令执行后，发出指令的JEDEC Read-ID，进入待机前发出去—00H (NOP) 命令模式 (CE# = V<sub>DD</sub>)。

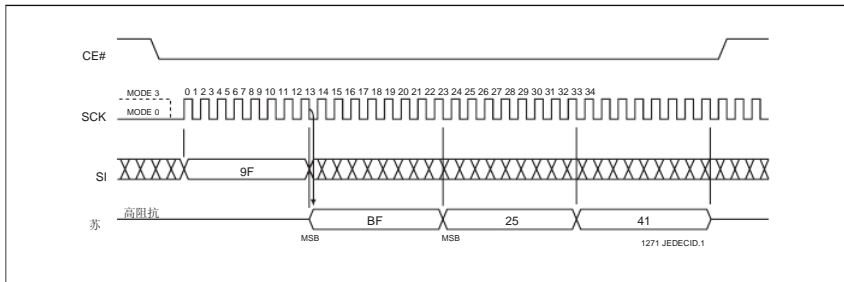


图19: JEDEC的R EAD-ID S EQUENCE

表6: JEDEC的R EAD-ID D ATA

制造商的ID	设备ID	
	内存类型	内存容量
Byte1	字节2	字节3
BFH	25H	41H

T8.0 1271



数据表

Read-ID (RDID)

该Read-ID指令(RDID)标识的设备作为SST25VF016B和制造商这命令, SST. 向后兼容所有的设备和SST25xFxxxA 应作为默认设备识别当多 串行闪存器件的ple SPI版本是在用 设计. 该设备可读取的信息从执行 一8-bit命令, 90H或ABH, 其次地址bits [A<sub>23</sub>-A<sub>0</sub>]. 继Read-ID指令, 使用厂

造商的ID位于地址00000H和设备ID是 坐落在地址00001H. 一旦设备在Read-ID 模式, 制造商的输出数据和设备ID过渡期补贴, 地址gles之间和00000H 00001H直到端子, 经过NAT由低到高的变化对CE#.

参阅表6和7用于设备标识数据.

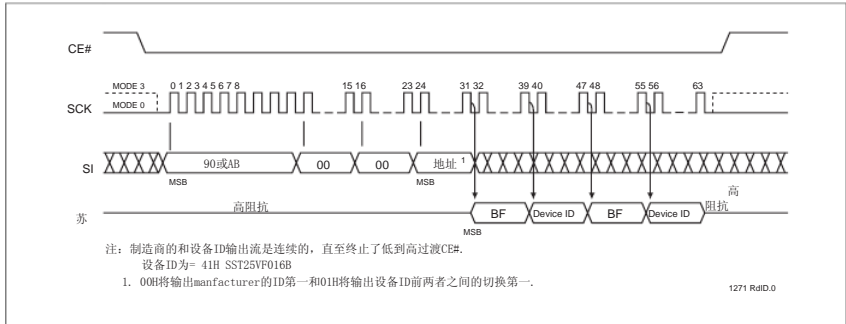


图20: R EAD-ID S EQUENCE

表7: P RODUCT IDENTIFICATION

	地址	数据
制造商的ID	00000H	BFH
设备ID	00001H	41H

T7.0 1271



# 16 Mbit SPI串行闪存 SST25VF016B

数据表

## 电气规范

**绝对最大应力额定值** (应用条件比“绝对最大额定值, 可能更大应力值”, 可能会造成永久性损坏设备. 这是一个额定值仅为运行压力在这些条件或条件比在本节中定义的数据业务的更多的设备表不是暗示. 暴露在绝对最大应力额定值条件下可能影响器件的可靠性.)

温度在偏置	.....	-55° C
贮藏温度	.....	-65° C
D. 任何引脚C. 电压地电位	.....	-0.5V到+0.5V
任何瞬态电压 (<20 ns) 引脚对地电位	.....	-2.0V到V <sub>DD</sub> +2.0V
包装功率耗散能力(T <sub>A</sub> = 25°C)	.....	1.0W
表面装载回流焊温度	.....	为260° C秒10
输出短路电流	1	50 mA

1. 输出短路不超过一秒钟. 不超过一个输出短路一次.

### OPERATING RANGE

范围	环境温度	V <sub>DD</sub>
商业	0° C到+70° C	2.7-3.6V
工业	-40° C到+85° C	2.7-3.6V

### AC CONDITIONS作者 T 美国东部时间

输入上升/下降时间	5 ns
输出负载	C <sub>L</sub> = 30 pF
见图25和26	

表8: DC 0 PERATING CHARACTERISTICS

符号	参数	限制			测试条件
		最小	最大	单位	
I <sub>DDR</sub>	读取电流		10	mA	CE#=0.1 V <sub>DD</sub> /0.9 V <sub>DD</sub> @25 MHz, SO=open
I <sub>DDR2</sub>	读取电流		15	mA	CE#=0.1 V <sub>DD</sub> /0.9 V <sub>DD</sub> @50 MHz, SO=open
I <sub>DDW</sub>	编程和擦除电流		30	mA	CE#=V <sub>DD</sub>
I <sub>SB</sub>	待机电流		20	µA	CE#=V <sub>DD</sub> , V <sub>IN</sub> =V <sub>DD</sub> or V <sub>SS</sub>
I <sub>I</sub>	输入漏电流		1	µA	V <sub>IN</sub> =GND到V <sub>DD</sub> , V <sub>DD</sub> =V <sub>DD</sub> 最大
I <sub>LO</sub>	输出漏电流		1	µA	V <sub>OUT</sub> =GND到V <sub>DD</sub> , V <sub>DD</sub> =V <sub>DD</sub> 最大
V <sub>IL</sub>	输入低电压		0.8	V	V <sub>DD</sub> =V <sub>DD</sub> 最小
V <sub>IH</sub>	输入高电压	0.7 V <sub>DD</sub>		V	V <sub>DD</sub> =V <sub>DD</sub> 最大
V <sub>OL</sub>	输出低电压		0.2	V	I <sub>OL</sub> =100 µA, V <sub>DD</sub> =V <sub>DD</sub> 最小
V <sub>OL2</sub>	输出低电压		0.4	V	I <sub>OL</sub> =1.6 mA, V <sub>DD</sub> =V <sub>DD</sub> 最小
V <sub>OH</sub>	输出高电压	V <sub>DD</sub> -0.2		V	I <sub>OH</sub> =-100 µA, V <sub>DD</sub> =V <sub>DD</sub> 最小

TB.0 1271

表9: R ECOMMENDED S 变体系 POWER - 向上TIMINGS

符号	参数	最低	单位
T <sub>PU-READ1</sub>	V <sub>DD</sub> 最小到读操作	10	µs
T <sub>PU-WRITE1</sub>	V <sub>DD</sub> 最小到写操作	10	µs

1. 此参数的测量只为最初的资格并经过设计或过程的变化可能影响这个参数.

TB.0 1271



数据表

表10: C APACITANCE (T<sub>A</sub> = 25° C, f=1 Mhz, 其他pins打开)

参数	说明	测试条件	最大
C <sup>OUT1</sup>	输出引脚电容	V <sub>OUT</sub> = 0V	12 pF
C <sup>IN1</sup>	输入电容	V <sub>IN</sub> = 0V	6 pF

T10.0 1271

1. 此参数的测量仅为最初的资格并经过设计或过程的变化可能影响这个参数。

表11: R ELIABILITY CHARACTERISTICS

符号	参数	最小规格	单位	试验方法
N <sup>END1</sup>	耐力	10,000	环	JEDEC标准A117
T <sup>DR1</sup>	数据保留	100	年	JEDEC标准A103
L <sup>TH</sup> <sup>1</sup>	锁存最多	100 + 1 DD	mA	JEDEC标准78

T11.0 1271

1. 此参数的测量仅为最初的资格并经过设计或过程的变化可能影响这个参数。

表12: AC 0 PERATING CHARACTERISTICS

符号	参数	25 MHz		50 MHz		单位
		最小	最大	最小	最大	
F <sup>CLK1</sup>	串行时钟频率		25		50	MHz
T <sup>SCKH</sup>	串行时钟高电平时间	18		9		ns
T <sup>SCKL</sup>	串行时钟低电平时间	18		9		ns
T <sup>SCKR2</sup>	串行时钟上升时间 (转换率)	0.1		0.1		第V / ns
T <sup>SCKF</sup>	串行时钟下降时间 (转换率)	0.1		0.1		第V / ns
T <sup>CES3</sup>	CE#智能安装时间	10		5		ns
T <sup>CEH3</sup>	CE#主动保持时间	10		5		ns
T <sup>CHS3</sup>	CE#不主动设置时间	10		5		ns
T <sup>CHH3</sup>	CE#不主动保持时间	10		5		ns
T <sup>CPH</sup>	CE#高时间	100		50		ns
T <sup>CHZ</sup>	CE#高到高阻输出		15		8	ns
T <sup>CLZ</sup>	SCK低到低阻抗输出	0		0		ns
T <sup>DS</sup>	数据建立时间	5		2		ns
T <sup>DH</sup>	数据保持时间	5		5		ns
T <sup>HLS</sup>	按住# 低的建立时间	10		5		ns
T <sup>HHS</sup>	按住# 高的建立时间	10		5		ns
T <sup>HLH</sup>	按住# 低温保持时间	10		5		ns
T <sup>HHH</sup>	按住# 高保持时间	10		5		ns
T <sup>HZ</sup>	按住# 低到高阻输出		20		8	ns
T <sup>LZ</sup>	按住# 高至低阻抗输出		15		8	ns
T <sup>OH</sup>	输出保持从SCK变化	0		0		ns
T <sup>V</sup>	输出有效SCK		15		8	ns
T <sup>SE</sup>	扇区擦除		25		25	ms
T <sup>BE</sup>	块擦除		25		25	ms
T <sup>SCE</sup>	芯片擦除		50		50	ms
T <sup>BP</sup>	字节程序		10		10	µs

T12.0 1271

1. 最大读取指令, 03H, 时钟频率是25 MHz
2. 最大上升和下降时间可能是有限的T
3. 相对SCK.

SCKH 和 T SCKL 要求

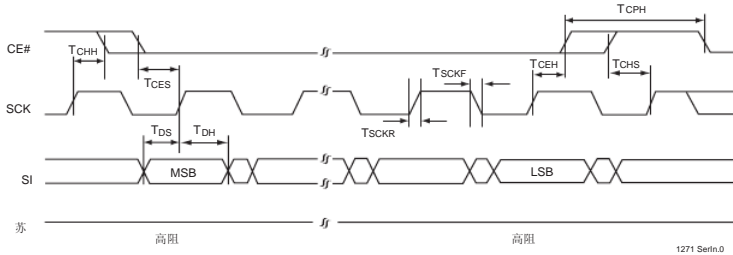


图21: S 里尔 INPUT TIMING DIAGRAM

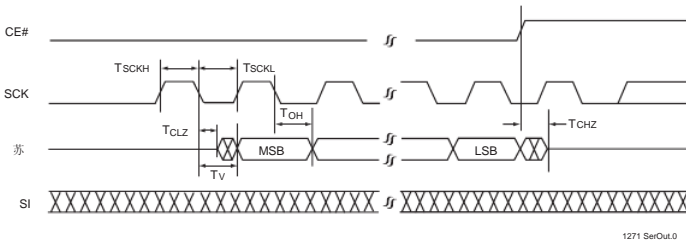


图22: S 里尔 OUTPUT TIMING DIAGRAM



数据表

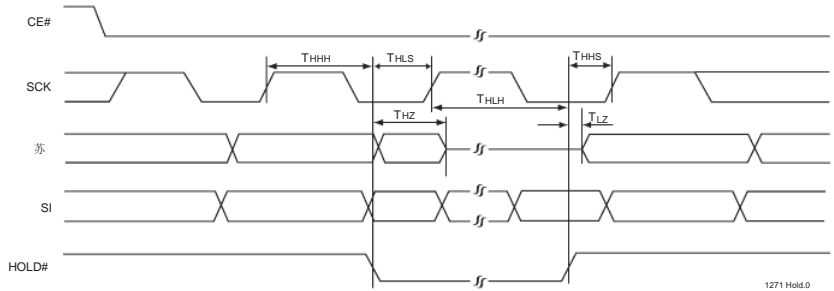


图23: H 老 TIMING DIAGRAM

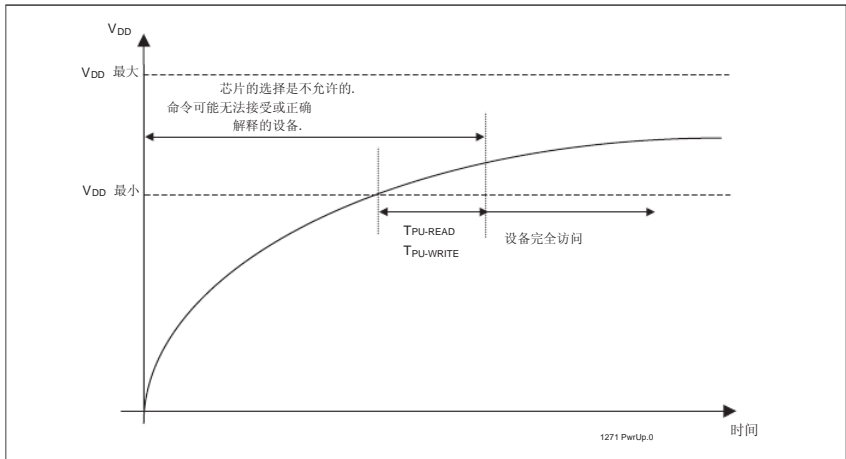


图24: P OWER -向上TIMING DIAGRAM



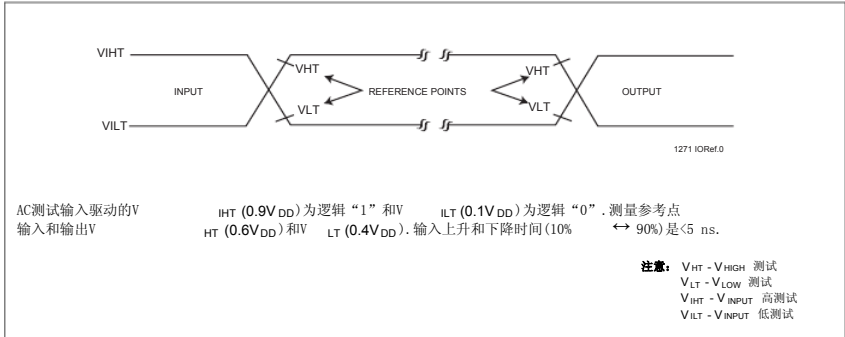


图25: AC I/O 参考 WAVEFORMS

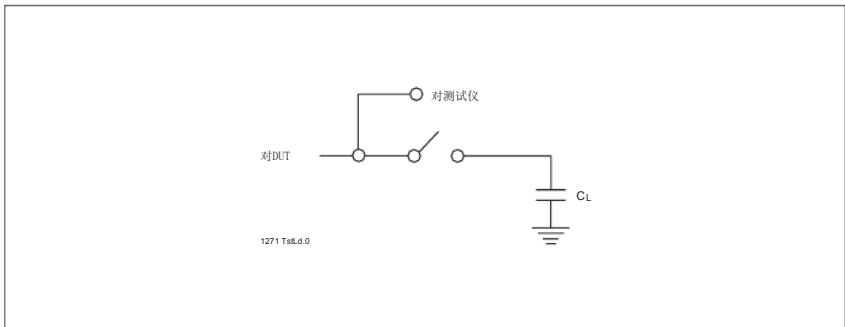
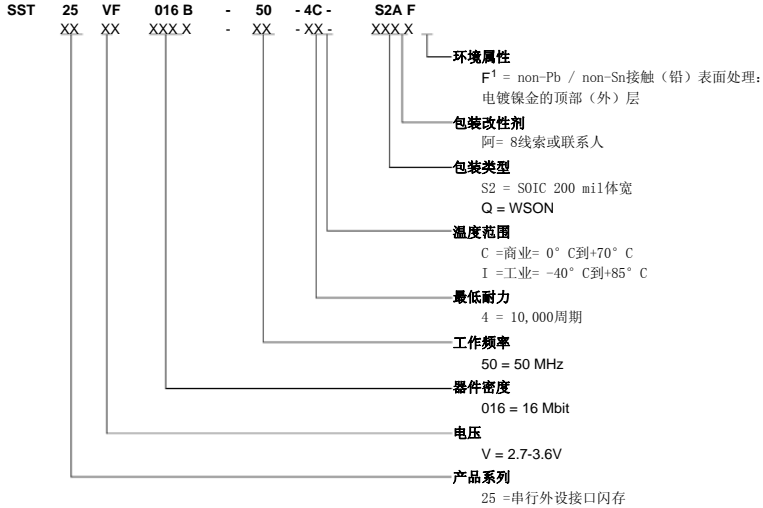


图26: 一个T 美国标准时间 Example



数据表

产品订购信息



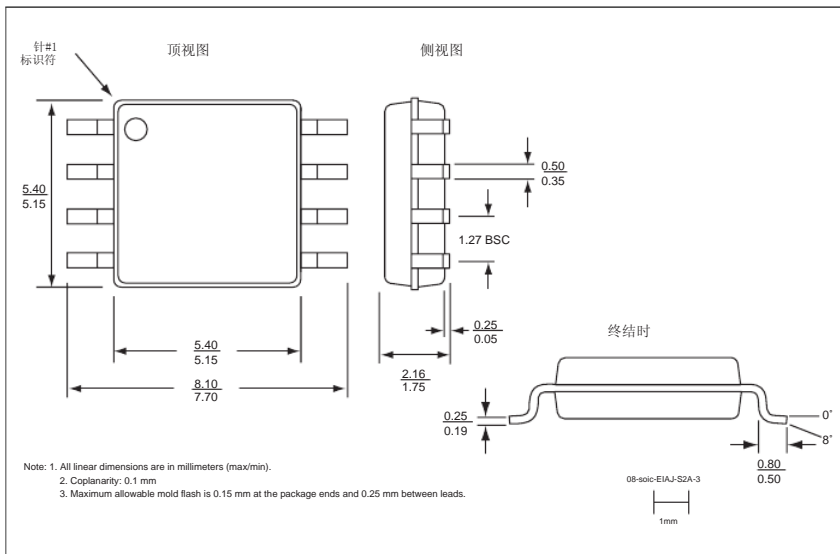
1. 环境后缀“F”表示non-Pb/non-Sn焊料。  
SST non-Pb/non-Sn焊接设备“RoHS兼容”。

为SST25VF016B有效组合

- |                        |                       |
|------------------------|-----------------------|
| SST25VF016B-50-4C-S2AF | SST25VF016B-50-4C-QAF |
| SST25VF016B-50-4I-S2AF | SST25VF016B-50-4I-QAF |

**注意：** 有效组合是大规模生产的产品或将在大规模生产。销售咨询您SST代表确认的有效组合的可用性，并确定新组合的可用性。

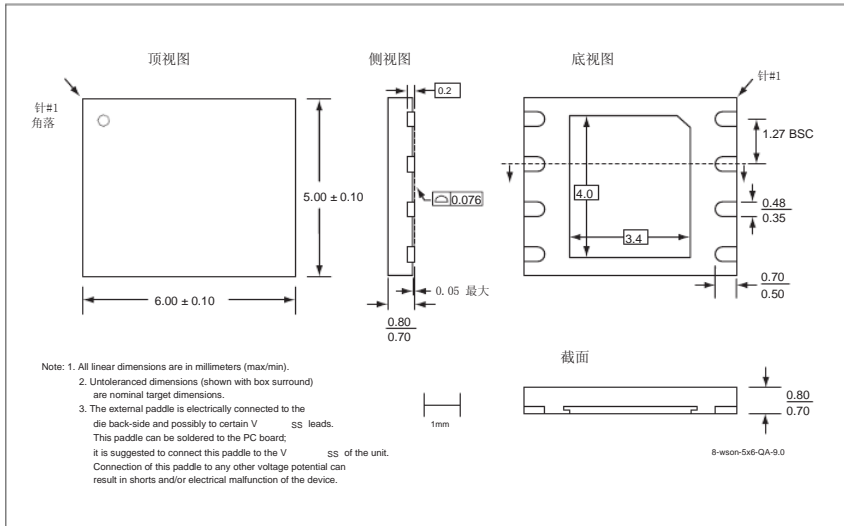
封装图



8- 脚 S 商 场 O U T L I N E I N T E G R A T E D C I R C U I T ( S O I C ) 2 0 0 M I L 身 宽 ( 5.2 M M X 8 M M )  
S S T P A C K A G E C 常 模 分 方 程



数据表



8- 联系方式 VERY-非常 -薄 S 商场 OUTLINE NO-铅 (WSON)  
SST P ACKAGE C 常规分壳程

表13: R REVISION HISTORY

数	说明	日期
00	• 数据手册的初始版本	Apr 2005
01	• 纠正“JEDEC Read-ID”页19包括时序图 • 更正V <sub>HT</sub> 和V <sub>LT</sub> 图25价值观页25	Sep 2005
02	• 迁移文件, 数据表 • 更新表面装载回流焊温度信息	Jan 2006